

引用格式:田嘉,王伟,史平彦. 一种 Nios II 软核架构的高效 GPS 捕获方法 [J]. 微电子学与计算机,2019,36(11):7-10.
[TIAN J, WANG W, SHI P Y. The GPS acquisition method based on Nios II soft core [J]. Microelectronics & Computer, 2019,36(11):7-10]

一种 Nios II 软核架构的高效 GPS 捕获方法

田 嘉,王 伟,史平彦

(中国空间技术研究院 西安分院,陕西 西安 710100)

摘 要: 针对传统 GPS 接收机不能根据接收信号的特性自适应的调节频率搜索范围及积分时间的问题,本文提出了一种 Nios II 软核架构的高效 GPS 捕获方法,其可以通过 Nios II 软核自适应调节频率搜索范围、相干积分时间及非相干积分时间,流水线式的 VHDL 结构仅负责并行处理,实现了参数调节的灵活可控.通过采用仅有一片 Stratix III FPGA 的基带开发板,实测结果表明,捕获功能性能正常,频率捕获范围可在 100 Hz~80 kHz 内灵活切换,积分时间可在 1 ms~30 s 内灵活切换.

关键词: Nios II; 信号捕获; Stratix III FPGA; GPS

中图分类号: V11

文献标识码: A

文章编号: 1000-7180(2019)11-0007-04

The GPS acquisition method based on Nios II soft core

TIAN Jia, WANG Wei, SHI Ping-yan

(China Academy of Space Technology(Xi'an), Xi'an 710100, China)

Abstract: In order to solve the problem that the traditional GPS receiver cannot adjust the frequency search space and integration time adaptively according to the characteristics of the received signal, the GPS acquisition method based on Nios II soft core is presented by this paper. The Nios II soft core is responsible for accommodate the frequency search space, the coherent integration time and the non-integration time. The VHDL part of assembly line structure is responsible for the parallel data processing. Therefore, the parameters can be adjusted adaptively by the method. By using the conception product which embeds 1 Stratix III chip, real test result shows that the acquisition works well, the frequency search space can be changed within 100 Hz-80 kHz and the integration time can be changed within 1ms-30s.

Key words: Nios II; signal acquisition; Stratix III FPGA; GPS

1 引言

目前,由于灵活性及成本优势,基于 GPS (Global Positioning System) 星座的空间导航应用引起人们越来越多的关注.随着科学技术的发展,飞行器本身获得的辅助信息也越来越多,如轨道滤波器^[1]、测控链路及通信链路都会为飞行器提供其大致位置和 GPS 星座的大致位置^[2].基于这些先验信息,飞行器可以计算出接收信号功率及多普勒频偏.

传统 GPS 接收机一般是基于 VHDL (Very-High-Speed Integrated Circuit Hardware Description Language) 结构设计,参数的设置是固定的,其会针对接收信号功率情况设置 3 种积分时间,以应对强信号、中等信号及弱信号的应用场景,同样,频率搜索范围也会包括全频带、1/2 频带及 1/4 频带 3 种模式.但是,灵活性仍显不足,不能根据接收信号的情况进行最优的参数配置^[3].这会带来捕获时间的大大增加,从而延长定位的时间^[4].

针对上述问题,本文提出了一种基于 Nios II 软

核的高效捕获方法, VHDL 结构仅用于并行计算, 极大的增加了 GPS 接收机的灵活性, 降低了捕获时间, 提高了捕获算法的效率。

2 系统设计

图 1 为本算法的系统模型, 其由下变频采样模块、串并转换模块、数据缓存管理单元、DDR2 SDRAM 控制器、DDR2 SDRAM、基于流水线处理的捕获模块和 Nios II 软核组成。除外挂 DDR2 SDRAM 和 Nios II 软核, 其余模块均由 VHDL 实现。

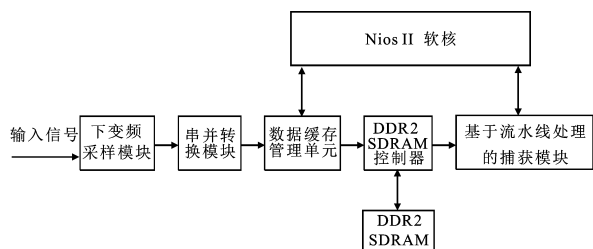


图 1 系统模型

变频采样模块实现了对输入信号变频至基带及将信号的采样率抽取至 4.096Mbps 的功能, 串并转换模块将下采样后的数据转为并行 32bit 的数据流, 数据缓存管理单元根据 Nios II 软核的指令, 启动 DDR2 SDRAM 控制器, 执行将指定长度数据写入 DDR2 SDRAM 或从其中读出来的操作, 并将数据写入 DDR2 SDRAM 时所对应的 1ms 时标计数值返回至 Nios II 软核。基于流水线处理的捕获模块会根据 Nios II 软核指令给出的多普勒频偏、相干积分时间、非相干积分时间及 PRN(Pseudo Random Noise)码, 对接收信号进行快速的捕获, 并将并行计算得出的峰值、峰值坐标、均值及标准差回传至 Nios II 软核, 最终由 Nios II 软核判断是否捕获成功。

2.1 下变频采样模块设计

下变频采样模块由载波下变频、2 倍下采样、5 倍下采样及 AGC 单元组成, 其示意图如图 2 所示, 均采用流水线处理方式^[5-6]。

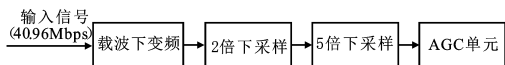


图 2 下变频采样模块

载波下变频中的 sine 和 cosine 值存储在 ROM 中, 量化位宽为 8 bit。2 倍下采样中采用的滤波器为 FIR(Finite impulse response)滤波器, 其通带频率

为 5 MHz, 阻带频率为 10.24 MHz, 滤波器的阶数为 14 阶, 参数的数量为 15 个, 参数的量化位宽为 12 bits。其频率响应为图 3 所示。

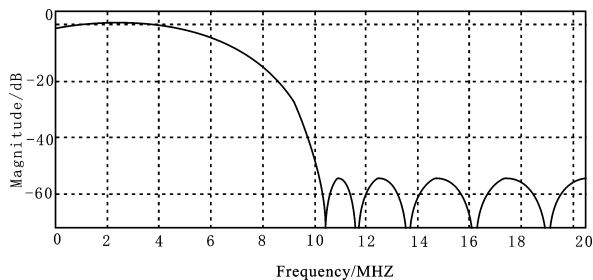


图 3 2倍下采样滤波器频率响应

5 倍下采样中采用的滤波器为 FIR 滤波器, 其通带频率为 1.073 MHz, 阻带频率为 2 MHz, 滤波器的阶数为 32 阶, 共 33 个系数, 每个系数的量化位宽为 16 bit。其频率响应如图 4 所示。

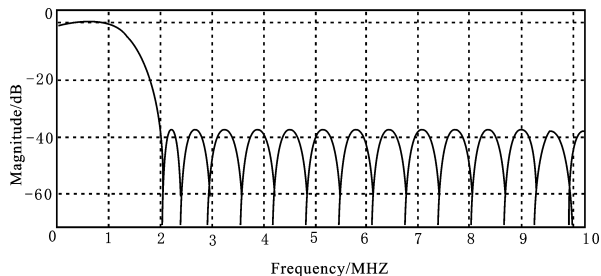


图 4 5倍下采样滤波器频率响应

AGC 单元会根据输入信号的强弱调节合适的截位宽度, 输出数据位宽为 8 bit。

2.2 数据缓存管理单元设计

数据缓存管理单元同外部的接口如表 1 所示, Nios II 软核通过 Avalon 总线完成与本模块的交互, 具体如下:

(1)avsAddress=“0000000”时, 总缓存数据长度通过 avsWrite 和 avsWriteData 写入数据缓存管理单元;

(2)avsAddress=“0000001”时, 通过 avsWriteData 来区分将当前数据写入 DDR2 SDRAM 的指令和从 DDR2 SDRAM 中读出缓存数据的指令;

(3)avsAddress=“0000010”时, Nios II 软核通过 avsRead 将数据写入 DDR2 SDRAM 时所对应的 1ms 时标计数值以 avsReadData 的形式返回至软核。

同 DDR2 SDRAM 接口主要完成数据从外接缓存中读写的交互, 同串并转换模块接口主要用于接收输入的基带数据及时标计数值。

表 1 数据缓存管理单元同外部模块接口

接口类型	信号	I/O	位宽
同 Nios II 软核接口	avsClock	输入	1 bit
同 Nios II 软核接口	avsAddress	输入	7 bit
同 Nios II 软核接口	avsWrite	输入	1 bit
同 Nios II 软核接口	avsWriteData	输入	32 bit
同 Nios II 软核接口	avsRead	输入	1 bit
同 Nios II 软核接口	avsReadData	输出	32 bit
同 DDR2 SDRAM 接口	waitrequest_n	输入	1 bit
同 DDR2 SDRAM 接口	sdraddress	输出	26 bit
同 DDR2 SDRAM 接口	sdrmwritedata	输出	32 bit
同 DDR2 SDRAM 接口	sdrmburstcount	输出	3 bit
同 DDR2 SDRAM 接口	sdrread	输出	1 bit
同 DDR2 SDRAM 接口	sdrwrite	输出	1 bit
同串并转换模块接口	newData	输入	1 bit
同串并转换模块接口	inputSignal	输入	32 bit
同串并转换模块接口	timeStamp	输入	32 bit

2.3 基于流水线处理的捕获模块

基于流水线处理的捕获模块框架图如图 5 所示,捕获算法采用的 PCS(parallel code search)^[7-8],FFT 的长度为 4096,积分分支的个数可根据需要调整.Nios II 软核首先通过 Avalon 总线将频率搜索范围、相干时间、非相干时间和 PRN 序号发送至捕获管理单元,捕获管理单元接收到指令后,会根据频率搜索范围将搜索频率拆分为多个 Doppler bin,并对每个 Doppler bin 所对应的频率转换至载波频率和码率配置给载波产生模块和伪码产生模块,将相干积分时间和非相干积分时间配置给相干积分模块

和非相干积分模块,将 PRN 配置给伪码产生模块.判决模块会根据 N 条分支相关峰值的大小,选出最大的一条分支,并计算出当前分支的均值和标准差,最终将峰值、峰值坐标、均值及标准差回传至 Nios II 软核,由 Nios II 软核判断是否捕获成功.

2.4 Nios II 软核

Nios II 软核采用 C 语言编写,其采用串行处理流程,处理步骤如下:

(1)接收到工作指令后,从初始态进入业务态,并根据当前先验信息将总缓存数据长度配置给数据缓存管理单元,启动写数据指令,待写操作完毕后,启动读数据指令,将数据读取至基于流水线处理的捕获模块;

(2)将 PRN、频率搜索范围、相干积分时间和非相干积分时间配置至基于流水线处理的捕获模块,读取第一个 Doppler bin 所对应的峰值、峰值坐标、均值及标准差,并计算出 SNR(signal noise ratio),将相关数据存储在软核内的存储区内;

(3)读取第二个 Doppler bin 所对应的峰值、峰值坐标、均值及标准差,并计算出 SNR,若此 SNR 大于第一个 Doppler bin 所对应的 SNR,则将第二个 Doppler bin 所对应的参数覆盖至第一组参数之上,更新存储区,否则保持存储区不变;

(4)以此类推,直至将所有 Doppler bin 处理完毕;

(5)读取软核存储区内的 SNR 值,若其大于捕获门限,则捕获成功,若小于捕获门限,则对先验信息内的其他 PRN 进行捕获.

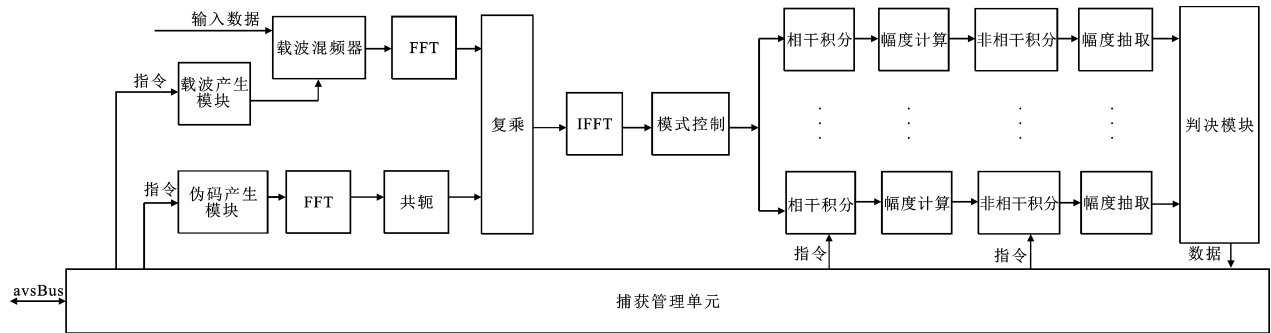


图 5 基于流水线处理的捕获模块框架图

3 实测结果

本文采用 Spirent GSS8000 导航信号源来产生飞行器在不同轨道下可以接收到的 GPS L1 信号,并通过仅有一片 Altera Stratix III FPGA 的基带开

发板进行接收,实测场景如图 6 所示.

实测结果表明,捕获功能性能正常,频率捕获范围可在 100 Hz~80 kHz 内灵活切换,积分时间可在 1 ms~30 s 内灵活切换.并且可以适应不同飞行轨道下接收信号功率及频偏变化的需求.



图 6 测试场景

4 结束语

本文针对传统 GPS 接收机不能根据接收信号的特性自适应的调节频率搜索范围及积分时间的问题,提出了一种 Nios II 软核架构的高效 GPS 捕获方法,其可以通过软核实现灵活的调度,流水线式的 VHDL 结构实现快速的处理. 实测结果表明,本方法可以很好的适应不同应用场景中对快速捕获的需求.

参考文献:

- [1] KAPLAN E D, HEGARTY C J. Understanding GPS: principles and applications [M]. New York City, Artech House, 2006.
- [2] VAN DIGGELEN F. A-GPS: Assisted GPS, GNSS, and SBAS [M]. New York City, Artech House, 2009.
- [3] XIE G. Principles of GPS and receiver design [M]. Beijing, Publishing House of Electronics Industry, 2009.

- [4] CAPUANO V, BOTTERON C, WANG Y, et al. GNSS/INS/Star tracker integrated navigation system for earth-moon transfer orbit [C]//proc. of the ION GNSS +, 2014. Tampa, Florida, USA, 2014: 162-170.
- [5] CAPUANO V, BOTTERON C, TIAN J, et al. GNSS to reach the moon [C]//65th International Astronautical Congress (IAC) 2014. Toronto, Canada, 2014:55-61.
- [6] TIAN J, WANG Y, WANG W, et al. Cross-Band aided acquisition on HEO Orbit[C]//65th International Astronautical Congress 2014. Toronto, Canada, 2014: 121-130.
- [7] TIAN J, WANG W, WANG D, et al. GPS CA code cross correlation mitigation technique for HEO orbit acquisition[C]//66th International Astronautical Congress 2015. Jerusalem, Israel, 2015:54-62.
- [8] TIAN J, WANG W, WANG D, et al. Whole MTO orbit acquisition method based on FPGA resource restricted platform [C]//66th International Astronautical Congress 2015. Jerusalem, Israel, 2015:33-41.

作者简介:

田 嘉 男,(1987-),硕士,高级工程师.研究方向为空间通信与导航技术. E-mail:jia_epfl_tian@163.com.

王 伟 男,(1970-),硕士,研究员.研究方向为空间通信与导航技术.

史平彦 男,(1964-),硕士,研究员.研究方向为导航与遥感技术.